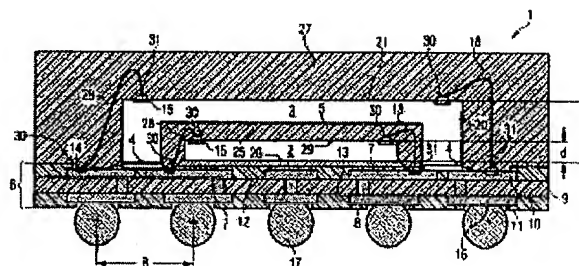


Electronic component comprises a stack of semiconductor chips of different size with one chip having a recess on its passive rear side

Patent number: DE10209204
Publication date: 2003-10-02
Inventor: ZUHR BERNHARD (DE)
Applicant: INFINEON TECHNOLOGIES AG (DE)
Classification:
- **International:** H01L23/13; H01L21/58
- **European:**
Application number: DE20021009204 20020304
Priority number(s): DE20021009204 20020304

Abstract of DE10209204

Electronic component comprises a stack of semiconductor chips (2, 3) of different size. The first semiconductor chip (2) has a lower thickness (d) and lower outer dimensions than the second semiconductor chip (3). The second semiconductor chip has a recess (5) on its passive rear side (4) in which the first semiconductor chip is arranged. An Independent claim is also included for a process for the production of the electronic component.



Data supplied from the esp@cenet database - Worldwide



①9 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

⑫ **Offenlegungsschrift**
⑩ **DE 102 09 204 A 1**

⑤1 Int. Cl. 7:
H 01 L 23/13
H 01 L 21/58

②1 Aktenzeichen: 102 09 204.4
②2 Anmeldetag: 4. 3. 2002
④3 Offenlegungstag: 2. 10. 2003

DE 102 09 204 A 1

⑦1 Anmelder:
Infineon Technologies AG, 81669 München, DE

⑦4 Vertreter:
Schweiger, M., Dipl.-Ing. Univ., Pat.-Anw., 80803
München

⑦2 Erfinder:
Zuhr, Bernhard, 93057 Regensburg, DE

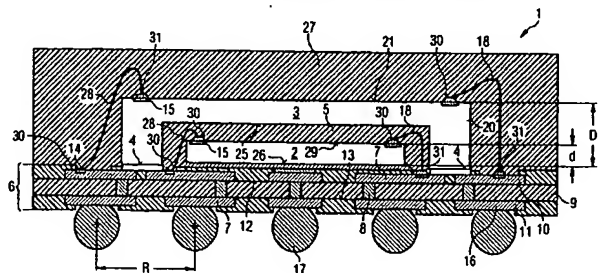
⑤6 Entgegenhaltungen:
DE 199 30 308 A1
DE 201 09 194 U1
US 57 21 452
US 52 22 014
EP 10 93 159 A1
JP 6-268151 (A) in Patent Abstracts of Japan
E-1647, Dec. 19, 1994, Vol. 18/No. 673;

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤4 Elektronisches Bauteil mit einem Stapel aus Halbleiterchips und Verfahren zur Herstellung desselben

⑤7 Die Erfindung betrifft ein elektronisches Bauteil mit einem Stapel aus Halbleiterchips und ein Verfahren zur Herstellung desselben. Dazu weist das elektronische Bauteil (1) einen Stapel aus Halbleiterchips (2, 3) unterschiedlicher Größe auf, wobei ein erster Halbleiterchip (2) eine geringere Dicke (d) und geringere Außenabmessungen als der zweite Halbleiterchip (3) aufweist. Zum Stapeln der beiden Halbleiterchips (2, 3) weist der zweite Halbleiterchip (3) auf seiner passiven Rückseite (4) eine Aussparung auf, in welcher der erste Halbleiterchip (2) angeordnet ist.



DE 102 09 204 A 1

Beschreibung

[0001] Die Erfindung betrifft ein elektronisches Bauteil mit einem Stapel aus Halbleiterchips unterschiedlicher Größe und ein Verfahren zur Herstellung desselben gemäß der Gattung der unabhängigen Ansprüche.

[0002] Zum Stapeln von Halbleiterchips unterschiedlicher Größe in einem elektronischen Bauteil bieten sich mehrere Lösungen an. Zunächst kann das kleinere Bauteil unterhalb des größeren Bauteils angeordnet werden. Bei dieser Lösung überragt der Rand des größeren Bauteils das kleinere Bauteil, so daß es nachteilig zu Problemen beim Verbinden von Kontaktflächen auf dem oberen Halbleiterchip kommen kann, da der Randbereich des oberen größeren Halbleiterchips nicht gestützt wird. Aus diesem Grunde erscheint es günstiger, den kleineren Halbleiterchip auf dem größeren Halbleiterchip zu positionieren und in einer ersten Lösung auf dem unteren größeren Halbleiterchip im Randbereich zusätzliche Kontaktanschlussflächen vorzusehen, um Bonddrähte von den Kontaktflächen des oberen kleineren Halbleiterchips zu den Kontaktanschlussflächen auf dem unteren größeren Halbleiterchip zu positionieren. Für eine derartige Lösung muß das Design des unteren größeren Halbleiterchips geändert werden, um entsprechende zusätzliche Kontaktanschlussflächen neben den Kontaktflächen auf dem größeren zweiten Halbleiterchip vorzusehen.

[0003] Eine weitere Möglichkeit bietet sich an, um das Design für den größeren Halbleiterchip unverändert beizubehalten, indem von dem oberen Halbleiterchip verlängerte Bondverbindungen zu dem Schaltungsträger geschaffen werden. Längere Bondverbindungen haben nicht nur einen größeren Materialverbrauch, sondern sind auch empfindlich beim Verpacken der gestapelten Halbleiterchips zu elektronischen Bauteilen, da sie einer größeren Gefahr ausgesetzt sind, daß die Verbindung beim Verpacken der gestapelten Halbleiterchips zu einem elektronischen Bauteil beschädigt werden kann.

[0004] Die erwähnten drei Lösungen haben den gemeinsamen Nachteil, daß die volle Dicke der Halbleiterchips sich beim Stapeln zu einer Gesamtdicke addiert, so daß sich die Dicke des elektronischen Bauteils ebenfalls durch das Stapeln vergrößert. Ein weiterer Nachteil ist, daß sich der obere Halbleiterchip nicht auf dem Schaltungsträger abstützen kann, sondern vielmehr auf dem empfindlichen unteren Halbleiterchip montiert ist.

[0005] Aufgabe der Erfindung ist es, die Nachteile der oben aufgeführten Lösungen zu überwinden und ein elektronisches Bauteil mit einem Stapel aus Halbleiterchips von unterschiedlicher Größe zu schaffen, das mit elektronischen Halbleiterchips verwirklicht werden kann, ohne deren Layout zu ändern. Ferner ist es Aufgabe der Erfindung das Packungsvolumen des elektronischen Bauteils zu minimieren und ein Verfahren zur Herstellung des elektronischen Bauteils anzugeben.

[0006] Diese Aufgabe wird mit dem Gegenstand der unabhängigen Ansprüche gelöst. Vorteilhafte Weiterbildungen der Erfindung ergeben sich aus den abhängigen Ansprüchen.

[0007] Gemäß der Erfindung weist das elektronische Bauteil mit einem Stapel aus Halbleiterchips unterschiedlicher Größe einen ersten Halbleiterchip und mindestens einen zweiten Halbleiterchip auf, wobei der erste Halbleiterchip eine geringere Dicke und geringere Außenabmessungen als der zweite Halbleiterchip aufweist und der zweite Halbleiterchip auf seiner passiven Rückseite eine Aussparung aufweist. In dieser Aussparung auf der passiven Rückseite des zweiten Halbleiterchips ist der erste kleinere Halbleiterchip angeordnet.

[0008] Ein derartiges elektronisches Bauteil hat den Vor-

teil, daß die beiden ersten Halbleiterchips eines Stapels lediglich die Dicke des größeren Halbleiterchips aufweisen, so daß das elektronische Bauteil sehr kompakt aufgebaut ist. Insbesondere bei Halbleiterchips für Speichierzwecke wird für die Speicherfunktion selbst nur ein wenige Mikrometer tiefer Bereich der aktiven Oberseite eines Halbleiterchips benötigt. Das darunter befindliche Halbleitervolumen dient lediglich der mechanischen Stabilität des Halbleiterchips. Insofern ist es relativ unproblematisch, von der passiven Rückseite her eine entsprechend dem kleineren zu stapelnden Halbleiterchip angepaßte Aussparung in den zweiten Halbleiterchip einzuarbeiten.

[0009] Im Prinzip können als zweite Halbleiterchips alle großflächigen signalverarbeitenden Halbleiterchips eingesetzt werden, da die Signalverarbeitung lediglich in dem wenige Mikrometer tiefen aktiven Bereich der Oberseite des Halbleiterchips durchgeführt wird. Da der größere zweite Halbleiterchip lediglich eine Aussparung zur Aufnahme des kleineren Halbleiterchips auf seiner Rückseite aufweist, bleibt ein mechanisch stabilisierender Rahmen für den zweiten Halbleiterchip bestehen, so daß eine Bruchgefahr minimiert ist.

[0010] In einer Ausführungsform der Erfindung kann in dem Bereich dieses mechanisch stabilisierenden Rahmens auf der aktiven Oberseite des zweiten Halbleiterchips eine Anzahl von Kontaktflächen vorgesehen werden, so daß sich der Rahmen des zweiten Halbleiterchips beim Bonden dieser Kontaktflächen auf dem Schaltungsträger abstützen kann. Mit dieser Ausführungsform der Erfindung wird die Bruchgefahr beim Bonden minimiert.

[0011] Ein Schaltungssubstrat, das den Stapel aus zwei ineinander geschachtelten Halbleiterchips aufnimmt, kann Umverdrahtungsleitungen und Durchkontakte zu Außenkontaktflächen aufweisen. Dabei können die Außenkontaktflächen eine makroskopische Größe erreichen und in einer flächigen Matrix angeordnet sein, die ihrerseits ein vorgegebenes Rastermaß aufweist. Die Umverdrahtungsleitungen können ihrerseits eine Vielzahl mikroskopisch kleiner Kontaktanschlussflächen auf dem Umverdrahtungssubstrat aufweisen, die mit entsprechenden Kontaktflächen auf den Halbleiterchips verbindbar sind. Unter mikroskopisch klein wird in diesem Zusammenhang eine Dimension verstanden, die mit bloßem Auge nicht mehr erkennbar ist und nur mit Hilfe eines Lichtmikroskopes meßbar wird. Demgegenüber sind die makroskopisch großen Außenkontaktflächen mit bloßem Auge sichtbar und meßbar.

[0012] Das Schaltungssubstrat kann ein isolierendes Trägersubstrat aufweisen. Dieses Trägersubstrat kann plattenförmig ausgebildet sein und auf einer Seite ein erstes Umverdrahtungsleitungsmuster aufweisen und auf der gegenüberliegenden Seite ein zweites Umverdrahtungsleitungsmuster. Dabei kann das erste Umverdrahtungsleitungsmuster mikroskopisch kleine Kontaktanschlussflächen aufweisen, die mit den mikroskopisch kleinen Kontaktflächen des ersten und des zweiten Halbleiterchips elektrisch leitend verbunden sind. Das zweite Umverdrahtungsleitungsmuster kann die makroskopisch großen Außenkontaktflächen aufweisen und mit dem ersten Umverdrahtungsleitungsmuster über Durchkontakte durch das isolierende Trägersubstrat elektrisch leitend verbunden sein.

[0013] Mit einem derartigen Schaltungssubstrat ist es möglich, Außenkontakte für das elektronische Bauteil zu schaffen, die mit einem übergeordneten Schaltungsträger wie einer Leiterplatte eines Schaltungsmoduls kompatibel sind, während innerhalb des elektronischen Bauteils die Umverdrahtungsleitungen angeordnet sind, die den Übergang von den makroskopisch großen Außenkontaktflächen zu den mikroskopisch kleinen Kontaktflächen auf den Halb-

leiterchips schaffen. Dazu sind in dem ersten Umverdrahtungsmuster mikroskopisch kleine Kontaktanschlusflächen vorgesehen, die mit den Kontaktflächen auf den Halbleiterchips korrespondieren, wobei entweder über Flip-Chip-Kontakte oder über Bonddrähte eine Verbindung zwischen den Kontaktflächen und den Kontaktanschlusflächen hergestellt werden kann.

[0014] Auf den makroskopisch großen Außenkontaktflächen können wiederum Außenkontakte in Form von Höckern oder Lotbällen angeordnet sein, die aus dem elektronischen Bauteil in dem vorgegebenen Rastermaß herausragen und der Verbindung mit einem übergeordneten Schaltungsträger dienen.

[0015] Während für den ersten Halbleiterchip sowohl eine Verbindung über Flip-Chip-Kontakte zu den Kontaktanschlusflächen des ersten Umverdrahtungsmusters möglich ist als auch eine Verbindung über Bonddrähte durch aus realisierbar ist, bietet sich für den größeren Halbleiterchip, der mit seiner Aussparung auf seiner passiven Rückseite über den ersten Halbleiterchip gestülpt ist, ein Verbinden seiner Kontaktflächen auf seiner aktiven Oberseite über Bonddrähte mit den auf dem Schaltungsträger angeordneten mikroskopisch kleinen Kontaktanschlusflächen des ersten Umverdrahtungsmusters an. Die angepaßte Aussparung auf der Rückseite des zweiten Halbleiterchips berücksichtigt sowohl den Raumbedarf von Flip-Chip-Kontakten als auch den Raumbedarf von Bondverbindungen des ersten Halbleiterchips zu den Kontaktanschlusflächen des ersten Umverdrahtungsmusters.

[0016] Der Rahmen um die Aussparung auf der passiven Rückseite des zweiten Halbleiterchips weist genügend Stützbereiche auf, die es ermöglichen, mikroskopisch kleine Kontaktflächen auf der Oberseite des zweiten Halbleiterchips anzuordnen. Diese Stützbereiche stützen sich unmittelbar auf dem Schaltungsträger ab und sind entweder auf den Schaltungsträger aufgelötet oder aufgeklebt.

[0017] Neben der Aussparung für die Aufnahme des ersten Halbleiterchips kann der zweite Halbleiterchip auf seiner passiven Rückseite weitere Aussparungen aufweisen, die Bonddrähte des ersten Halbleiterchips aufnehmen können. Auch können diese Aussparungen so weit ausgebildet sein, daß sie eine räumliche Verbindung zu der Umgebung des zweiten Halbleiterchips schaffen, so daß eine Gehäusepressmasse, welche die elektronischen Bauteilkomponenten einschließt, Hohlräume im Bereich der Aussparungen für den ersten Halbleiterchip auffüllen kann. Somit können drei Arten von Aussparungen auf der passiven Rückseite des zweiten Halbleiterchips unterschieden werden, nämlich einmal die zentrale Aussparung, die den ersten Halbleiterchip vollständig mit seinen Bonddrähten oder seinen Flip-Chip-Höckern aufnimmt, ferner Aussparungen, die eine räumliche Verbindung schaffen, damit Kunststoffpreßmasse durch sie hindurch dringen kann, und schließlich Aussparungen, welche die Möglichkeit eröffnen, daß die Bonddrähte des ersten Halbleiterchips durch sie hindurch ragen, so daß diese Bonddrähte mit Kontaktanschlusflächen auf dem Schaltungsträger außerhalb des Bereichs des zweiten Halbleiterchips verbunden werden können.

[0018] Ein erfindungsgemäßes Stapeln eines großen Halbleiterchips und eines kleinen Halbleiterchips durch Verschachteln der Halbleiterchips ineinander, hat für folgende Anwendungen besondere Vorteile:

1. Für ein elektronisches Bauteil mit einem Stapel aus einem Leistungschip und einem daten- oder signalverarbeitenden Chip. Dabei ist der Leistungschip kleiner als der signalverarbeitende Chip. Der Leistungschip kann folglich, ohne zusätzliches Volumen zu beanspru-

chen innerhalb der Aussparung des signalverarbeitenden Chips angeordnet sein.

2. Ein elektronisches Bauteil mit einem Stapel aus einem Logikchip und einem Speicherchip. Ein Logik- oder Steuerchip ist in seinen Abmessungen kleiner als der zu steuernde Speicherchip, so daß bei einem derartigen Bauteil in vorteilhafter Weise der Raumbedarf auf die Größe des Speicherchips beschränkt werden kann, da das Steuer- oder Logikchip in einer Aussparung auf der Rückseite des Speicherchips angeordnet ist.

3. Ein Bauteil aus einem Stapel mit einem Hochfrequenzverstärkungschip und einem Logikchip oder einem signalverarbeitenden Halbleiterchip. Bei dieser Anwendungsform der Erfindung ist das Hochfrequenzverstärkungschip ein äußerst kleiner Baustein, der in der Aussparung des zugehörigen Logikchip oder signalverarbeitenden Halbleiterchip untergebracht sein kann.

[0019] Von besonderem Vorteil ist, daß mit dem größeren zweiten Halbleiterchip eine Abschirmung für das kleinere, in der Aussparung angeordnete Halbleiterchip geschaffen werden kann, was besonders interessant für die dritte Anwendung ist. Dazu kann die Aussparung mit einer Abschirmbeschichtung versehen werden. Wird zusätzlich der erste Halbleiterchip in Flip-Chip-Technik ausgebildet, mit entsprechenden Flip-Chip-Kontakten, so kann seine passive Rückseite ebenfalls mit einem Abschirmungsmetall beschichtet sein. Während die Abschirmung von Hochfrequenzbauteilen ein besonderes Problem darstellt, weil großflächig erhebliche mechanische und kostenintensive Aufwendungen getrieben werden müssen, um ein derartiges Hochfrequenzbauteil abzuschirmen, kann mit der erfindungsgemäßen Stapeltechnik durch Beschichten der Aussparung mit einem Abschirmmetall der erste Halbleiterchip zuverlässig vor Störfrequenzen geschützt werden.

[0020] Ein Verfahren zur Herstellung eines elektronischen Bauteils mit einem ersten Halbleiterchip und mindestens einem zweiten Halbleiterchip, der eine Aussparung aufweist, in welcher der erste Halbleiterchip angeordnet ist, weist folgende Verfahrensschritte auf:

Zunächst wird ein dünngeschliffener erster Halbleiterwafer einer minimalen Dicke mit integrierten Schaltungen in seinem aktiven Oberseitenbereich hergestellt und durch Trennen des dünngeschliffenen Halbleiterwafers werden erste Halbleiterchips bereitgestellt. Außerdem wird ein zweiter Halbleiterwafer mit integrierten Schaltungen in seinem aktiven Oberseitenbereich bereitgestellt, der mehr als eine doppelte Dicke des dünngeschliffenen Halbleiterwafers und größere Abmessungen als dieser aufweist. Dieser zweite Halbleiterwafer wird nun nicht in seiner vollen Größe dünngeätzt wie der erste Halbleiterwafer, sondern strukturiert dünngeätzt, d. h. auf seiner passiven Rückseite werden in Zeilen und Spalten angeordnete Aussparungen für die Aufnahme von ersten Halbleiterchips eingebracht.

[0021] Nach dem Einbringen der Aussparungen wird der zweite Halbleiterwafer zu zweiten Halbleiterchips mit Aussparungen zur Aufnahme der ersten Halbleiterchips in den Aussparungen getrennt. Als nächstes kann dann der erste Halbleiterchip auf einem Schaltungssubstrat unter Verbindung der Kontaktflächen des ersten Halbleiterchips mit Kontaktanschlusflächen eines ersten Umverdrahtungsmusters auf dem Schaltungssubstrat angeordnet werden. Danach wird der zweite Halbleiterchip auf dem Schaltungssubstrat durch Überstülpen des zweiten Halbleiterchips über den ersten Halbleiterchip unter Verbinden der Kontaktflächen des zweiten Halbleiterchips mit Kontaktan-

schlussflächen des ersten Umverdrahtungsleistungsmusters des Schaltungssubstrats angeordnet.

[0022] Bei dem Anordnen sowohl des ersten Halbleiterchips als auch des zweiten Halbleiterchips können diese entweder auf den Schaltungsträger geklebt oder gelötet werden. Das Verbinden mit den Kontaktanschlussflächen des ersten Umverdrahtungsleistungsmusters kann mittels Bondtechnik oder zumindest für den ersten Halbleiterchip auch mittels Verbinden über Flip-Chip-Technik erfolgen. Abschließend werden die Halbleiterchips auf dem Schaltungssubstrat zu einem elektronischen Bauteil in einer Kunststoffgehäusemasse unter Freilassen von Außenkontaktflächen eines zweiten Umverdrahtungsleistungsmusters des Schaltungssubstrats verpackt. Über Durchkontakte, die das Schaltungssubstrat aufweist, ist das erste Umverdrahtungsleistungsmuster elektrisch mit dem zweiten Umverdrahtungsleistungsmuster, und damit mit den Außenkontakten, verbunden.

[0023] Dieses Verfahren hat den Vorteil, daß am Layout der Halbleiterwafer keine Änderungen vorgenommen werden müssen, um eine kompakte Stapelung und ein Ineinanderschachteln eines ersten und eines zweiten Halbleiterchips zu erreichen. Es muß lediglich zusätzlich ein Dünnätzen für den ersten Halbleiterwafer vorgesehen werden, das gleichmäßig für den gesamten Halbleiterwafer durchgeführt werden kann, um dünngeätzte Halbleiterchips als erste Halbleiterchips zur Verfügung zu stellen. Für die Herstellung vieler zweiter Halbleiterchips wird lediglich der Ausgangshalbleiterwafer von seiner Rückseite aus strukturiert dünngeätzt, so daß Stege am Rand von jedem Halbleiterchip stehenbleiben und Aussparungen entstehen, die einmal als Stützrahmen dienen bzw. als Aufnahmehohlraum für den ersten Halbleiterchip vorgesehen sind.

[0024] Wie bereits erwähnt, kann das Verbinden der Kontaktflächen des ersten Halbleiterchips mit den Kontaktanschlussflächen des ersten Umverdrahtungsleistungsmusters durch eine Bondtechnik über Bonddrähte durchgeführt werden oder mit Hilfe der Flip-Chip-Technik, bei der Flip-Chip-Kontakte auf den Kontaktanschlussflächen des ersten Halbleiterchips ausgebildet werden, die dann unmittelbar auf die Kontaktanschlussflächen des ersten Umverdrahtungsleistungsmusters aufgebracht werden.

[0025] Für eine Flip-Chip-Montage des ersten Halbleiterchips können nach dem Einbringen der Aussparungen in den zweiten Halbleiterwafer unmittelbar die ersten Halbleiterchips mit Flip-Chip-Kontakten in den Aussparungen des zweiten Halbleiterwafers eingebettet werden. Danach kann der zweite Halbleiterwafer in einzelne Halbleiterchipkombinationen geteilt werden und mit einem Schaltungsträger elektrisch verbunden werden.

[0026] Das Dünnätzen kann für den ersten Halbleiterwafer durch ein chemisches Ätzpolieren erfolgen, da hier der gesamte Wafer dünnzuätzen ist. Dazu wird eine alkalische Lösung mit feinem Polierpulver eingesetzt, um einen schnellen Abtrag und gleichzeitig eine polierte Rückseite zu erzeugen. Für das strukturierte Dünnätzen der Rückseite des zweiten Halbleiterwafers werden die Stege, die später einen stabilisierenden Rahmen für die zweiten Halbleiterchips bilden sollen, durch eine Abdeckung vor der Ätzlösung geschützt und anschließend kann mit einer Mischung aus Flußsäure und Schwefelsäure ein chemisches Ätzen erfolgen. Dazu können die beiden Säuren einerseits verdünnt und andererseits gepuffert werden, um die Ätzrate zu steuern. Eine andere Ätzlösung weist Flursäure und Salpetersäure auf, wobei zum Puffern ein Salz der Salpetersäure wie Ammoniumfluorid eingesetzt wird.

[0027] Ein alternatives Verfahren zum strukturierten Dünnätzen der Rückseite des zweiten Halbleiterwafers besteht darin, die Stege abzudecken und anschließend eine Trock-

nätzung durchzuführen. Bei der Trockenätzung kann durch ein Zerstäubungsvorgang im Vakuum der nicht geschützte Bereich beispielsweise durch beschleunigte Edelgasionen abgetragen werden. Ein weiteres Verfahren zum strukturierten Abtragen der Rückseite des zweiten Halbleiterwafers besteht nach dem Abdecken darin, daß ein reaktives Plasmaätzen durchgeführt wird, bei dem anstelle von Edelgasionen reaktive Ionen im Plasma erzeugt und zum beschleunigten Abtragen der freien Bereiche eingesetzt werden.

[0028] Zusammenfassend ist festzustellen, daß die Erfindung auf einem Lösungsansatz basiert, bei dem in einen großen oberen Halbleiterchip rückseitig eine oder mehrere Vertiefungen eingebracht werden, die beispielsweise durch einen Waferätzprozess realisiert werden, um in die Vertiefung oder Aussparung einen kleineren Halbleiterchip versenken zu können. Darüber hinaus umfaßt die Erfindung die weitere Möglichkeit, zusätzliche Vertiefungen und Aussparungen einzubringen, die es ermöglichen, Bonddrähte des unteren Halbleiterchips auch außerhalb des oberen Halbleiterchips zu benden. Schließlich ist auch die Möglichkeit gegeben, zusätzliche Vertiefungen einzubringen, die es erlauben, eine Kunststoffpreßmasse in den Hohlraum unter dem zweiten Halbleiterchip einzubringen. Schließlich können auch Kombinationen mit Flip-Chip-Technik durchgeführt werden. Außerdem sind Mehrfachstapelungen möglich, bei denen die Chips paarweise aufeinandergestapelt werden.

[0029] Zusammenfassend ergeben sich durch die Erfindung folgende Vorteile: 1. kurze Bonddrähte sind möglich, 2. eine einfache Entflechtung der Funktionen der Halbleiterchips ist möglich durch Nutzung des Bereichs des Träger substrats unter dem zweiten Halbleiterchip, 3. es sind kleinere Kunststoffgehäuse möglich durch den kompakten Aufbau der Stapelung. Im Vergleich zu anderen Lösungen hat die vorliegende Erfindung die Vorteile:

1. Eine Kombination aus zwei Chips mit großen Chipunterschieden und der Anordnung des kleineren Chips unter dem größeren Chip ist möglich, wobei keine Probleme des Chipüberhangs für den größeren Chip auftreten.
2. Im Bondbereich kann das zweite Halbleiterchip unterstützt werden, so daß ein unproblematisches Drahtbenden ermöglicht wird.
3. Kompakte dünne Gehäuseformen sind möglich, weil die beiden Halbleiterchips ineinander versenkt sind.

[0030] Im Prinzip wird mit der vorliegenden Erfindung auf einem Verdrahtungsträger oder Schaltungsträger ein Basischip befestigt, das kleiner ist als ein zweiter Halbleiterchip. Der Schaltungsträger weist für den äußeren Anschluß des elektronischen Bauteils Außenkontaktflächen auf, die über Durchkontakte und Umverdrahtungsleitungen mit den Elektroden der Halbleiterchips verbunden werden können.

[0031] Auf den Außenkontaktflächen können wiederum Außenkontakte in Form von Lotbällen oder in Form von Höckern aufgebracht sein. Die elektrischen Verbindungen zwischen dem Basischip und dem Verdrahtungsträger können mit Hilfe von Drahtbenden hergestellt werden. Schließlich wird auf den Basischip ein Topchip, also ein zweiter Halbleiterchip, mit einer rückseitig vorhandenen Kavität gestapelt. Die Kavität ist ausreichend groß, so daß der komplette Basischip mit Drähten ausgespart ist. Auch der Topchip oder zweite Halbleiterchip kann durch Drahtbenden mit dem Verdrahtungsträger bzw. Schaltungsträger verbunden werden. Zusätzliche Aussparungen sorgen dafür, daß eine Umhüllung des Basischips mit einer Kunststoffgehäu-

semasse innerhalb des zweiten Halbleiterchips möglich wird.

[0032] Als eine weitere Variante ist es möglich, daß zusätzliche Aussparungen auf der Rückseite des zweiten Halbleiterchips vorgesehen werden, durch die Bonddrähte verlaufen können, die eine Verbindung zwischen dem Schaltungsträger und den Kontaktflächen des Basischips herstellen.

[0033] Die Erfindung wird nun anhand von Ausführungsformen mit Bezug auf die beigefügten Figuren näher erörtert.

[0034] Fig. 1 zeigt einen prinzipiellen Querschnitt durch ein elektronisches Bauteil mit einem Stapel aus Halbleiterchips einer ersten Ausführungsform der Erfindung,

[0035] Fig. 2 bis 8 zeigen unterschiedliche schematische Einzelansichten der beiden ineinander angeordneten Halbleiterchips der ersten Ausführungsform der Erfindung nach Fig. 1,

[0036] Fig. 2 zeigt eine schematische Draufsicht auf einen ersten Halbleiterchip,

[0037] Fig. 3 zeigt einen schematischen Querschnitt durch den ersten Halbleiterchip,

[0038] Fig. 4 zeigt eine schematische Untersicht des ersten Halbleiterchips,

[0039] Fig. 5 zeigt eine schematische Draufsicht des zweiten Halbleiterchips, der größer ist als der erste Halbleiterchip,

[0040] Fig. 6 zeigt einen schematischen Querschnitt durch den zweiten Halbleiterchip,

[0041] Fig. 7 zeigt eine schematische Untersicht des zweiten Halbleiterchips,

[0042] Fig. 8 zeigt einen schematischen Bonddrahtplan, der ineinander angeordneten ersten und zweiten Halbleiterchips der ersten Ausführungsform der Erfindung,

[0043] Fig. 9 zeigt einen prinzipiellen Querschnitt durch ein Halbleiterbauteil mit einem Stapel aus Halbleiterchips einer zweiten Ausführungsform der Erfindung,

[0044] Fig. 10 bis 16 zeigen unterschiedliche schematische Einzelansichten der beiden ineinander angeordneten Halbleiterchips der zweiten Ausführungsform der Erfindung,

[0045] Fig. 10 zeigt eine schematische Draufsicht auf einen ersten Halbleiterchip,

[0046] Fig. 11 zeigt einen schematischen Querschnitt durch einen ersten Halbleiterchip,

[0047] Fig. 12 zeigt eine schematische Untersicht des ersten Halbleiterchips,

[0048] Fig. 13 zeigt eine schematische Draufsicht auf einen zweiten Halbleiterchip,

[0049] Fig. 14 zeigt einen schematische Querschnitt durch den zweiten Halbleiterchip,

[0050] Fig. 15 zeigt eine schematische Untersicht des zweiten Halbleiterchips,

[0051] Fig. 16 zeigt einen schematischen Bonddrahtplan, der ineinander angeordneten ersten und zweiten Halbleiterchips der zweiten Ausführungsform der Erfindung,

[0052] Fig. 17 zeigt einen prinzipiellen Querschnitt durch ein elektronisches Bauteil mit einem Stapel aus Halbleiterchips einer dritten Ausführungsform der Erfindung,

[0053] Fig. 18 zeigt einen prinzipiellen Querschnitt durch ein elektronisches Bauteil mit einem Stapel aus Halbleiterchips einer vierten Ausführungsform der Erfindung,

[0054] Fig. 1 zeigt einen prinzipiellen Querschnitt durch ein elektronisches Bauteil 1 mit einem Stapel aus Halbleiterchips 2 und 3 einer ersten Ausführungsform der Erfindung. Das Bezugszeichen 4 kennzeichnet eine passive Rückseite des zweiten Halbleiterchips. Das Bezugszeichen 5 kennzeichnet eine Aussparung in der passiven Rückseite 4 des

Halbleiterchips. Das Bezugszeichen 6 kennzeichnet ein Schaltungssubstrat, auf dem die ineinander angeordneten Halbleiterchips 2 und 3 gestapelt sind. Das Bezugszeichen 7 kennzeichnet ein Umverdrahtungsleitungen, die auf einem isolierenden Trägersubstrat 9 angeordnet sind. Das Bezugszeichen 8 kennzeichnet Durchkontakte, die Umverdrahtungsleitungen auf der chipseitigen Oberseite des isolierenden Trägersubstrats 9 mit Umverdrahtungsleitungen auf der gegenüberliegenden Seite des isolierenden Trägersubstrats 9 verbinden.

[0055] In dieser Ausführungsform der Erfindung weist die chipseitige Seite 12 des isolierenden Trägersubstrats 9 ein erstes Umverdrahtungsleitungsmuster 10 auf und die gegenüberliegende Seite 13 des isolierenden Trägersubstrats 9 zeigt ein zweites Umverdrahtungsleitungsmuster 11 auf. Das Bezugszeichen 14 kennzeichnet mikroskopisch kleine Kontaktanschlussflächen der Umverdrahtungsleitungen 7 des ersten Umverdrahtungsleitungsmusters 10, die mit entsprechenden mikroskopisch kleinen Kontaktflächen 15 auf den Halbleiterchips korrespondieren. Unter mikroskopisch klein wird in diesem Zusammenhang ein Körper oder eine Fläche verstanden, die Abmessungen aufweist, die nur unter dem Lichtmikroskop meßbar sind und mit bloßem Auge nicht erkennbar sind.

[0056] Das zweite Umverdrahtungsleitungsmuster 11 auf der gegenüberliegenden Seite 13 des Schaltungssubstrats 6 bzw. auf dem isolierenden Trägersubstrat 9 weist makroskopisch große Außenkontaktflächen 16 auf. Unter makroskopisch wird in diesem Zusammenhang ein Körper oder eine Fläche verstanden, die Abmessungen aufweist, welche mit bloßem Auge erkennbar sind. Diese Außenkontaktflächen 16 können Außenkontakte 17 tragen, die in der Ausführungsform nach Fig. 1 aus Lötballen bestehen und in einem Rastermaß R auf der Unterseite des elektronischen Bauteils angeordnet sind, sowie aus dem Gehäuse des elektronischen Bauteils 1 herausragen.

[0057] In der Ausführungsform, die in Fig. 1 gezeigt wird, werden die mikroskopisch kleinen Kontaktflächen 15 auf den Halbleiterchips und die mikroskopisch kleinen Kontaktanschlussflächen 14 auf dem ersten Umverdrahtungsleitungsmuster 10 über Bonddrähte 18 miteinander verbunden. Das Bezugszeichen 20 kennzeichnet Stützbereiche des zweiten Halbleiterchips 3, welche die volle Materialstärke des Halbleiterchips aufweisen und rundum die Aussparung 5 angeordnet sind. Diese Stützbereiche 20 sind auf der Oberseite 12 des Schaltungssubstrats 6 befestigt und weisen auf der aktiven Oberseite 21 des zweiten Halbleiterchips 3 die mikroskopisch kleinen Kontaktflächen 15 auf, womit der Vorteil verbunden ist, daß beim Aufbringen der Bonddrähte 18 der zweite Halbleiterchip 3 sich auf dem Schaltungssubstrat 6 abstützen kann. Dazu ist der zweite Halbleiterchip 3 in den Stützbereichen 20 über eine isolierende Klebstoffschicht auf das erste Umverdrahtungsleitungsmuster 10 geklebt.

[0058] Das Bezugszeichen 28 kennzeichnet die durch die Bonddrähte 18 hergestellten Bondverbindungen. In Fig. 1 sind unterschiedliche Bondverbindungen 28 dargestellt, die als Ergebnis entweder einen Bondbogen oder einen Bondkopf aufweisen. Dabei kann der Bondkopf sowohl auf den Kontaktanschlussflächen 14 des ersten Umverdrahtungsleitungsmusters 10 als auch auf den Kontaktflächen 15 der Halbleiterchips realisiert werden. Da eine Bondverbindung 28 mit einem Bondbogen 30 wesentlich flacher ausgeführt werden kann als mit einem Bondkopf, bietet sich diese Art der Bondverbindung besonders für die aktive Oberseite 29 des ersten Halbleiterchips an, der in der Aussparung 5 des zweiten Halbleiterchips 3 angeordnet ist, da der Bondbogen 30 wesentlich weniger Höhe beansprucht. Andererseits ist

das Bonden mit einem Bondkopf 31 von Vorteil, wenn zwar genügend Höhe aber wenig Raum in der Breite zur Verfügung steht.

[0059] Somit wäre die optimale Bondverbindung für den in der Aussparung 5 angeordneten ersten Halbleiterchip 2 eine Bondverbindung, die aus einem Bondkopf 31 auf den Kontaktanschlussflächen 14 des ersten Umverdrahtungsleistungsmusters 10 angeordnet ist, in Kombination mit einem Bondbogen 30 auf der Kontaktfläche 15 des ersten Halbleiterchips 2. Im Prinzip gilt das auch für die Bondverbindung zwischen den mikroskopisch kleinen Kontaktanschlussflächen des ersten Umverdrahtungsleistungsmusters 10 mit den Kontaktflächen des zweiten Halbleiterchips 3, wie es auf der rechten Seite in Fig. 1 dargestellt ist. Auf der linken Seite in Fig. 1 sind alternative Bondverbindungen dargestellt, die für den ersten Halbleiterchip 2 zwei Bondbögen 30 aufweisen und für den zweiten Halbleiterchip 3 eine Kombination aus einem Bondkopf 31 auf der Kontaktfläche 15 und einem Bondbogen 30 auf der Kontaktanschlussfläche 14 vorsieht. Zwar sind diese Bondverbindungen 28 grundsätzlich möglich, doch stellen sie keine optimale Lösung für das in Fig. 1 dargestellte elektronische Bauteil dar.

[0060] Die erste Ausführungsform nach Fig. 1 zeigt den Vorteil, der insbesondere in der Kompaktheit des elektronischen Bauteils besteht, dadurch daß ein erstes Halbleiterchip 2 innerhalb einer Aussparung 5 eines zweiten Halbleiterchips 3 angeordnet ist. Diese Aussparung 5 wird von der Rückseite 4 für mehrere Halbleiterchips eines Halbleiterwafers gleichzeitig in dem Bereich des zweiten Halbleiterchips 3 von der passiven Rückseite 4 aus hineingeätzt. Die Raumersparnis ist beträchtlich, da für beide Halbleiterchips 2 und 3 zusammen lediglich das Volumen des zweiten Halbleiterchips 3 in Anspruch genommen wird.

[0061] Bei dieser Lösung wird besonders vorteilhaft ausgenutzt, daß der größte Bereich eines Halbleiterchips 3, der elektronische Speicherelemente oder elektronische Schaltungen an seiner Oberseite aufweist, nicht zum Schalten von Signalen oder zum Speichern von Daten benötigt wird. Dieses nicht benötigte Volumen wird hier einer weiteren Nutzung zugeführt, indem ein kleinerer Halbleiterchip 2, der entweder die Steuerschaltung für ein Speicherchip aufnimmt oder der in einer Kombination aus großflächigem Signalverarbeitungschip und kleinflächigem Hochfrequenzchip die Aufgabe der Hochfrequenzverstärkung übernimmt oder der in einer Kombination aus einem Leistungsverstärkungsbauteil und einem signalverarbeitendem Chip den Part der Leistungsversorgung übernimmt, so daß kein zusätzlicher Raum- oder Flächenbedarf für dieses mit einem Stapel aus den Halbleiterchips 2 und 3 versehene elektronische Bauteil besteht. Auch die sonst nutzlose Fläche unter einem großflächigen Speicher- oder Signalverarbeitungschip kann nun intensiv genutzt werden.

[0062] Die Rückseite des ersten Halbleiterchips in der Aussparung 5 des zweiten Halbleiterchips 3 kann elektrisch mit einem Außenkontakt über das Umverdrahtungsleistungsmuster 10 und einen Durchkontakt 8 und über das Umverdrahtungsleistungsmuster 11 mit einer Außenkontaktfläche 16, die einen Außenkontakt 17 trägt, verbunden sein, so daß beispielsweise negative Potentiale oder Massepotentiale über diesen Außenkontakt, der mit der passiven Unterseite des ersten Halbleiterchips 2 elektrisch verbunden ist, an die Unterseite angelegt werden können.

[0063] Der weitere Vorteil dieser ersten Ausführungsform der Erfindung liegt darin, daß die mikroskopisch kleinen Kontaktflächen 15 der Halbleiterchips 2 und 3 über das erste Umverdrahtungsleistungsmuster 10 die Durchkontakte 8 und das zweite Umverdrahtungsleistungsmuster 11 mit den makroskopischen Außenkontakten 17 verbunden sein können.

Diese makroskopischen Außenkontakte 17 weisen ein Rastermaß R auf und können auf einer der Außenflächen des elektronischen Bauteils 1 in einer Matrix gleichmäßig über die Fläche verteilt angeordnet sein.

[0064] Die Fig. 2 bis 8 zeigen unterschiedliche schematische Einzelansichten der beiden ineinander angeordneten Halbleiterchips der ersten Ausführungsform der Erfindung nach Fig. 1. Dabei zeigen die Fig. 2, 3 und 4 die Größenordnungen des ersten Halbleiterchips 2, der kleiner ist als der zweite Halbleiterchip 3, der mit den Fig. 5, 6 und 7 gezeigt wird. Komponenten mit gleichen Funktionen wie in Fig. 1 werden mit gleichen Bezugszeichen gekennzeichnet und für die Fig. 2 bis 8 nicht extra erläutert.

[0065] Fig. 2 zeigt eine schematische Draufsicht auf einen ersten Halbleiterchip 2 der Ausführungsform nach Fig. 1. Der erste Halbleiterchip 2 weist auf seiner aktiven Oberseite 29 eine geringe Zahl an mikroskopisch kleinen Kontaktflächen 15 auf und kann entweder ein Steuerchip für einen großflächigen Speicherchip bzw. Memorychip darstellen oder ein Hochfrequenzchip für einen signalverarbeitenden Chip oder ein Leistungsverstärkungschip für einen entsprechend großflächiges Signalverarbeitungschip sein. Derartige Halbleiterchips weisen eine sehr begrenzte Zahl an integrierten Schaltungen auf ihrer aktiven Oberseite auf und folglich können die Kontaktflächen 15 auf eine geringe Zahl begrenzt werden. Demgegenüber ist die aktive Oberseite 21 eines zweiten Halbleiterchips 3 wesentlich größer, da dieser zweite Halbleiterchip 3, der ein Speicherbaustein oder ein signalverarbeitender Baustein sein kann, wesentlich mehr Schaltungsfunktionen als der erste Halbleiterchip 2 aufweist.

[0066] Fig. 3 zeigt einen schematischen Querschnitt durch den ersten Halbleiterchip 2. Dieser erste Halbleiterchip 2 ist gegenüber dem zweiten Halbleiterchip 3 auf seiner gesamten passiven Rückseite 26 dünn geschliffen bzw. dünn geätzt, so daß er nur noch eine Dicke d aufweist, die wesentlich geringer ist als die Dicke D des zweiten Halbleiterchips 3. Dieses Dünnschleifen kann für viele Halbleiterchips 2 auf einem Halbleiterwafer gleichzeitig erfolgen, bevor ein derartiger Halbleiterwafer in einzelne dünn geschliffene Halbleiterchips getrennt wird. Die aktive Oberseite 29 mit den Kontaktflächen 15 bleibt dabei vollständig erhalten.

[0067] Fig. 4 zeigt eine schematische Untersicht des ersten Halbleiterchips 2, wobei die passive Rückseite 26 eine vollkommen ebene unstrukturierte Fläche darstellt. Diese Rückseite kann metallisiert sein, um einerseits auf die Rückseite ein Massepotential zu legen oder um diese Rückseite als Abschirmfläche zu verwenden.

[0068] Fig. 5 zeigt eine schematische Draufsicht des zweiten Halbleiterchips 3, der größer ist als der erste Halbleiterchip 2. Dieser zweite Halbleiterchip 3 weist eine erheblich höhere Anzahl an elektronischen Schaltkreisen auf wie beispielsweise die oben erwähnten signalverarbeitenden Halbleiterchips oder die Speicherchips als der erste. In dieser Ausführungsform sind die mikroskopisch kleinen Kontaktflächen 15 auf der aktiven Oberseite 21 des zweiten Halbleiterchips 3 im Randbereich angeordnet.

[0069] Fig. 6 zeigt einen schematischen Querschnitt durch den zweiten Halbleiterchip 3. Dieser Querschnitt durch den zweiten Halbleiterchip 3 zeigt neben der Aussparung 5 zur Aufnahme des ersten Halbleiterchips weitere Aussparungen 23 zwischen Stützbereichen 20 im Randbereich des Halbleiterchips 3 auf. Diese Stützbereiche 20 dienen im wesentlichen dazu, eine feste Unterlage für die Kontaktflächen zu schaffen, um ein sicheres Bonden zu ermöglichen. Die zusätzlichen Aussparungen 23 in den Stützbereichen 20 sind in dieser Ausführungsform der Erfindung vorgesehen, damit beim Verpacken der ineinander angeordneten Halbleiter-

chips 2 und 3 in einer Kunststoffgehäusemasse diese Kunststoffgehäusemasse durch die zusätzlichen Aussparungen 23 dringen kann um somit die Hohlräume in der Aussparung 5 zwischen dem ersten Halbleiterchip 2 und der Aussparung des zweiten Halbleiterchips 3 aufzufüllen.

[0070] Fig. 7 zeigt eine schematische Untersicht des zweiten Halbleiterchips 3, die nochmals die Stützbereiche 20 als Winkel ausgebildet darstellt und die zusätzlichen Öffnungen 23, die jeweils auf einer Seitenmitte zum Eindringen der Kunststoffgehäusemasse in die passive Rückseite des Halbleiterchips eingätzt wurden. Dabei ist anzumerken, daß die zusätzlichen Atzungen für die Aussparungen 23, wie es der Querschnitt des Halbleiterchips 3 in Fig. 6 zeigt, nicht so tief ausgeführt sind wie die Aussparung 5 zur Aufnahme des ersten Halbleiterchips 2. Somit bleibt genügend Material auch in den Bereichen der zusätzlichen Aussparungen bzw. Vertiefungen in das Halbleiterchipmaterial hinein noch stehen, um die direkt darüber angeordneten Kontaktflächen beim Bonden zu stützen.

[0071] Fig. 8 zeigt einen schematischen Bonddrahtplan der ineinander angeordneten ersten und zweiten Halbleiterchips 2 und 3 der ersten Ausführungsform der Erfindung. Dieser schematische Bonddrahtplan ist mit durchgezogenen Linien für die Oberseite des zweiten Halbleiterchips 3 gezeichnet und mit punktierten Linien für die unter dem Halbleiterchip 3 angeordneten kleineren Halbleiterchips 2 dargestellt. Durch die strichpunktierte Linie 32 werden die Umrisse der Aussparungen 5 und der zusätzlichen Aussparungen 23 gekennzeichnet. In diesem Bondplan gibt es innere Kontaktanschlusflächen 33 des ersten Umverdrahtungsleistungsmusters, die innerhalb der Aussparung 5 des zweiten Halbleiterchips 3 angeordnet sind und äußere Kontaktanschlusflächen 34, die außerhalb des zweiten Halbleiterchips angeordnet sind. Während die Kontaktflächen 15 des ersten Halbleiterchips 2 mit den inneren Kontaktanschlusflächen 33 über Bondverbindungen elektrisch verbunden sind, sind die Kontaktflächen 15 des zweiten größeren Halbleiterchips 3 mit den äußeren Kontaktanschlusflächen des ersten Umverdrahtungsleistungsmusters 10 verbunden. Mit diesem Bonddrahtplan wird deutlich, daß der erste Halbleiterchip 2 wesentlich kleiner sein muß als der zweite Halbleiterchip 3, da zusätzlich zu der Fläche des ersten Halbleiterchips 2 noch innere Kontaktanschlusflächen 33 mit entsprechenden Bonddrähten 18 vorzusehen sind.

[0072] Fig. 9 zeigt einen prinzipiellen Querschnitt durch ein elektronisches Bauteil mit einem Stapel aus Halbleiterchips 2 und 3 einer zweiten Ausführungsform der Erfindung. Komponenten mit gleichen Funktionen wie in den vorhergehenden Figuren werden mit gleichen Bezugszeichen gekennzeichnet und nicht extra erläutert.

[0073] Der wesentliche Unterschied zwischen der ersten Ausführungsform nach Fig. 1 und der zweiten Ausführungsform nach Fig. 2 liegt darin, daß die Bondverbindungen 28 des ersten Halbleiterchips 2 in der zweiten Ausführungsform nicht auf inneren Kontaktanschlusflächen, wie sie in Fig. 8 gezeigt werden, enden, sondern auf Kontaktanschlusflächen 14 des ersten Umverdrahtungsleistungsmusters 10, die außerhalb des Umfangs des zweiten größeren Halbleiterchips 3 angeordnet sind. Dazu sind von der passiven Rückseite des zweiten Halbleiterchips 3 zusätzliche Aussparungen vorgesehen, die ein Durchführen von Bonddrähten 18 ermöglichen.

[0074] Fig. 10 bis 16 zeigen unterschiedliche schematische Einzelansichten der beiden ineinander angeordneten Halbleiterchips 2 und 3 der zweiten Ausführungsform der Erfindung. Komponenten mit gleichen Funktionen wie in den vorhergehenden Figuren werden mit gleichen Bezugszeichen gekennzeichnet und in den nachfolgenden Fig. 10

bis 16 nicht extra erläutert.

[0075] Die Fig. 10, 11 und 12 zeigen unterschiedliche schematische Einzelansichten des kleineren ersten Halbleiterchips 2 und die Fig. 13, 14 und 15 zeigen unterschiedliche schematische Einzelansichten des größeren zweiten Halbleiterchips 3.

[0076] Fig. 10 zeigt eine schematische Draufsicht auf den ersten Halbleiterchip 2 der zweiten Ausführungsform der Erfindung. Dieser erste Halbleiterchip 2 der Fig. 10 unterscheidet sich von dem ersten Halbleiterchip 2 der Fig. 2 darin, daß auf der aktiven Oberseite 29 lediglich an zwei gegenüberliegenden Seitenrändern mikroskopisch kleine Kontaktflächen 15 vorgesehen sind.

[0077] Fig. 11 zeigt einen schematischen Querschnitt durch den ersten Halbleiterchip 2, wobei dieser Halbleiterchip 2 gegenüber dem Halbleiterchip 3 in seiner Dicke d geringer ist, was durch ein Dünnschleifen eines Halbleiterwafers für mehrere erste Halbleiterchips 2 durchgeführt werden kann.

[0078] Fig. 12 zeigt eine schematische Untersicht des ersten Halbleiterchips 2 der zweiten Ausführungsform der Erfindung, die sich im Prinzip nicht von der Unteransicht der ersten Ausführungsform, die in Fig. 4 zu sehen ist, unterscheidet.

[0079] Fig. 13 zeigt eine Draufsicht auf einen zweiten Halbleiterchip 3 der zweiten Ausführungsform der Erfindung, wobei sich diese Draufsicht der Fig. 13 nicht von der Draufsicht in Fig. 5 der ersten Ausführungsform der Erfindung unterscheidet.

[0080] Fig. 14 zeigt einen schematischen Querschnitt durch den zweiten Halbleiterchip 3. Dieser Querschnitt des zweiten Halbleiterchips unterscheidet sich von dem Querschnitt des zweiten Halbleiterchips 3 der ersten Ausführungsform dadurch, daß lediglich an zwei gegenüberliegenden Seitenbereichen größere Aussparungen 22 vorgesehen sind und nicht auf allen vier Seiten des zweiten Halbleiterchips 3. Außerdem sind die zusätzlichen Aussparungen oder Vertiefungen von der Rückseite des zweiten Halbleiterchips 3 aus in Profil und Breite so gestaltet, daß Bonddrähte durch diese Aussparungen hindurch geführt werden können.

[0081] Fig. 15 zeigt eine schematische Untersicht des zweiten Halbleiterchips 3 der zweiten Ausführungsform der Erfindung. Diese schematische Untersicht zeigt, daß die Aussparungen 22 auf der Unterseite des zweiten Halbleiterchips 3 wesentlich breiter sind als die Aussparungen, wie sie bei der ersten Ausführungsform mit Fig. 7 gezeigt werden. Aufgrund dieser Größe ist es möglich, die vorgesehenen Bonddrähte nach außen zu führen.

[0082] Fig. 16 zeigt einen schematischen Bonddrahtplan der ineinander angeordneten ersten und zweiten Halbleiterchips 2 und 3 der zweiten Ausführungsform der Erfindung. Die strichpunktierte Linie 32 kennzeichnet wieder die Grenzen der Aussparung 5 sowie die Grenzen der gegenüberliegenden Aussparungen 22 bzw. 23. Diese Aussparungen 22 und 23 haben eine ausreichende Breite um die auf gegenüberliegenden Seiten angeordneten Kontaktflächen des ersten Halbleiterchips 2, dessen Umrisse mit punktierten Linien gekennzeichnet sind, durch die Aussparung 22 zu führen. Außerdem sind die Aussparungen 22 bzw. 23 so breit, daß beim Verpacken Kunststoffgehäusemasse durch die Aussparungen dringen kann um die Hohlräume in der Aussparung 5, in der der erste Halbleiterchip 2 angeordnet ist, aufzufüllen.

[0083] Ein Vorteil der zweiten Ausführungsform gegenüber der ersten Ausführungsform ist, daß zum elektrischen Verbinden der Kontaktflächen 15 des ersten Halbleiterchips 2 mit dem ersten Umverdrahtungsleistungsmuster 10 keine inneren Kontaktanschlusflächen 33, wie sie in Fig. 9 für die

erste Ausführungsform der Erfindung gezeigt werden, erforderlich sind. Das bedeutet, dieser Bereich der Aussparung 5 der ersten Ausführungsform der Erfindung kann für den ersten Halbleiterchip 2 genutzt werden, so daß bei gleichen Abmessungen des zweiten Halbleiterchips 3 ein etwas größeres erstes Halbleiterchip 2 in der Aussparung 5 untergebracht werden kann. Gleichzeitig wird damit die Kompaktheit des elektronischen Bauteils sowie der Stapelung innerhalb des elektronischen Bauteils vergrößert.

[0084] Während in der ersten Ausführungsform nach Fig. 1 eine vorteilhafte Kombination aus einem Logik-Halbleiterchip bzw. Steuerungs-Halbleiterchip als erstes Halbleiterchip 2 mit einem Speicher-Halbleiterchip als zweites Halbleiterchip 3 vorgesehen ist, da wesentlich mehr Kontaktflächen für das erste Halbleiterchip 2 verbindbar werden, nämlich an allen vier Umfangsseiten des ersten Halbleiterchips 2, ist die zweite Ausführungsform für die Anwendung einer Kombination aus einem elektronischen Leistungshalbleiterchip als erstes Halbleiterchip 2 und einem signalverarbeitenden Halbleiterchip 3 als zweites Halbleiterchip 3 besonders geeignet, zumal leistungsschaltende Halbleiterchips nur wenige Kontaktflächen für eine Verbindung zu Außenkontakten erfordern.

[0085] Fig. 17 zeigt einen prinzipiellen Querschnitt durch ein elektronisches Bauteil 1 mit einem Stapel aus Halbleiterchips 2 und 3 einer dritten Ausführungsform der Erfindung. Komponenten mit gleichen Funktionen wie in den vorhergehenden Figuren werden mit gleichen Bezugszeichen gekennzeichnet und nicht extra erläutert.

[0086] Der Unterschied zu den vorhergehenden ersten und zweiten Ausführungsformen besteht bei dieser dritten Ausführungsform darin, daß der erste Halbleiterchip 2 auf seiner aktiven Oberseite 26 Flip-Chip-Kontakte 19 aufweist. Damit kann auf Bondverbindungen und Bonddrähte für den ersten Halbleiterchip 2 verzichtet. Das bedeutet gleichzeitig, daß dieser erste Halbleiterchip 2 die Aussparung in dem zweiten Halbleiterchip 3 wesentlich vollständiger ausfüllen kann als die mit Bonddrähten versehenen ersten Halbleiterchips 2 der ersten und zweiten Ausführungsform der Erfindung.

[0087] Die Abmessungen der Flip-Chip-Kontakte in Form von Lotbällen sind den mikroskopisch kleinen Abmessungen der Kontaktflächen 15 des ersten Halbleiterchips angepaßt und in der Fig. 17 nur zur Verdeutlichung wesentlich übertrieben groß dargestellt, so daß die Gesamthöhe der Aussparung 5 in dem zweiten Halbleiterchip 3 ebenfalls gegenüber den vorhergehenden Ausführungsformen verkleinert werden kann. Durch die strichpunktierten Linien 32 wird die Position zusätzlicher Aussparungen 23 angedeutet, durch die eine Kunststoffgehäusemasse 27 in die Hohlräume zwischen dem ersten Halbleiterchip 2 und dem zweiten Halbleiterchip 3 eindringen kann.

[0088] Das Rastermaß r der Flip-Chip-Kontakte ist ebenfalls im Vergleich zu dem Rastermaß R der Außenkontakte kleiner, so daß teilweise auch dieses Rastermaß r der Flip-Chip-Kontakte unter einem Lichtmikroskop meßbar ist, während das Rastermaß der Matrix aus Außenkontakten 17 mit bloßem Auge erkennbar ist. Die dritte Ausführungsform kann für Anwendungen eingesetzt werden, wie sie auch für die beiden ersten Ausführungsformen möglich sind. Jedoch wird die dritte Ausführungsform vorzugsweise für die Kombination eines Logikbausteins oder Steuerbausteins mit einem Speicherbaustein eingesetzt, wobei der Steuer- oder Logikbaustein durch das erste Halbleiterchip 2 realisiert ist und der Speicherbaustein durch das zweite Halbleiterchip 3 realisiert ist.

[0089] Fig. 18 zeigt einen prinzipiellen Querschnitt durch ein elektronisches Bauteil 1 mit einem Stapel aus Halbleiter-

chips 2 und 3 einer vierten Ausführungsform der Erfindung. Komponenten mit gleichen Funktionen wie in den vorhergehenden Figuren werden mit gleichen Bezugszeichen gekennzeichnet und nicht extra erläutert.

5 [0090] Die vierte Ausführungsform der Fig. 18 unterscheidet sich von der Ausführungsform, die in Fig. 17 gezeigt wird, dadurch, daß die Innenflächen 25 der Aussparung 5 auf dem zweiten Halbleiterchip 3 mit einer metallischen Abschirmbeschichtung versehen sind. Darüber hinaus ist auch die passive Rückseite 26 des ersten Halbleiterchips 2 mit einer entsprechenden abschirmenden metallischen Schicht versehen.

15 [0091] Mit einer derart kompakten Abschirmung insbesondere des ersten Halbleiterchips 1 kann ein Schutz gegen hochfrequente Störsignale geschaffen werden, so daß sich diese vierte Ausführungsform der Erfindung besonders für Hochfrequenz-Bauteile als ersten Halbleiterchip 2 eignet, die mit einem Signalchip wie dem zweiten Halbleiterchip zusammenwirken. Dieses Zusammenwirken wird durch das erste Umverdrahtungsleitungsmuster 10 gewährleistet, daß die Flip-Chip-Ausgänge über die Flip-Chip-Kontakte 19 des ersten Halbleiterchips 2 mit den Bonddrahtverbindungen zu dem zweiten Halbleiterchip 3, der beispielsweise die demodulierten Signale verarbeitet, verbindet.

Bezugszeichenliste

- 1 elektronisches Bauteil
- 2 erster Halbleiterchip
- 3 zweiter Halbleiterchip
- 4 passive Rückseite des zweiten Halbleiterchips
- 5 Aussparung
- 6 Schaltungssubstrat
- 7 Umverdrahtungsleitung
- 8 Durchgangskontakte
- 9 isolierendes Trägersubstrat
- 10 erstes Umverdrahtungsleitungsmuster
- 11 zweites Umverdrahtungsleitungsmuster
- 12, 13 einander gegenüberliegende Seiten des Schaltungssubstrats
- 14 mikroskopisch kleine Kontaktanschlussflächen
- 15 Kontaktflächen der Halbleiterchips
- 16 makroskopisch große Außenkontaktflächen
- 17 Außenkontakte
- 18 Bonddrähte
- 19 Flip-Chip-Kontakte
- 20 Stützbereiche
- 21 aktive Oberseite des zweiten Halbleiterchips
- 22 Aussparungen für Bonddrähte
- 23 Aussparungen für Kunststoffpressmasse
- 24 Abschirmbeschichtung
- 25 Innenfläche der Aussparung
- 26 passive Rückseite des ersten Halbleiterchips
- 27 Kunststoffgehäusemasse
- 28 Bondverbindungen
- 29 aktive Oberseite des ersten Halbleiterchips
- 30 Bondbogen
- 31 Bondkopf
- 32 strichpunktierte Linie
- 33 innere Kontaktanschlussfläche
- 34 äußere Kontaktanschlussfläche
- d Dicke des ersten Halbleiterchips
- D Dicke des zweiten Halbleiterchips
- r Rastermaß der Flip-Chip-Kontakte
- R Rastermaß der Außenkontakte

1. Elektronisches Bauteil mit einem Stapel aus Halbleiterchips (2, 3) unterschiedlicher Größe, das einen ersten Halbleiterchip (2) und mindestens einen zweiten Halbleiterchip (3) aufweist, wobei der erste Halbleiterchip (2) eine geringere Dicke (d) und geringere Außenabmessungen als der zweite Halbleiterchip (3) aufweist, und wobei der zweite Halbleiterchip (3) auf seiner passiven Rückseite (4) eine Aussparung (5) aufweist, in welcher der erste Halbleiterchip (2) angeordnet ist.
2. Elektronisches Bauteil nach Anspruch 1, dadurch gekennzeichnet, dass der erste Halbleiterchip (2) und der zweite Halbleiterchip (3) ineinander geschachtelt auf einem Schaltungssubstrat (6) mit Umverdrahtungsleitungen (7) und mit Durchgangskontakten (8) angeordnet sind.
3. Elektronisches Bauteil nach Anspruch 2, dadurch gekennzeichnet, dass das Schaltungssubstrat (6) ein isolierendes Trägersubstrat (9) aufweist, das ein erstes Umverdrahtungsleitungsmuster (10) und ein zweites Umverdrahtungsleitungsmuster (11) aufweist, die auf den einander gegenüberliegenden Seiten (12, 13) des Schaltungssubstrats (6) angeordnet sind, wobei das erste Umverdrahtungsleitungsmuster (10) mikroskopisch kleine Kontaktanschlußflächen (14) aufweist, die mit mikroskopisch kleinen Kontaktflächen (15) des ersten und des zweiten Halbleiterchips (2, 3) elektrisch leitend verbunden sind, wobei das zweite Umverdrahtungsleitungsmuster (11) makroskopisch große Außenkontaktflächen (16) aufweist und wobei das erste Umverdrahtungsleitungsmuster (10) und das zweite Umverdrahtungsleitungsmuster (11) miteinander über Durchgangskontakte (8) des Trägersubstrats (9) elektrisch leitend verbunden sind.
4. Elektronisches Bauteil nach Anspruch 2 oder Anspruchs 3, dadurch gekennzeichnet, dass das Schaltungssubstrat (6) makroskopisch große Außenkontakte (17) aufweist, die auf Außenkontaktflächen (16) angeordnet sind und in einer Matrixanordnung aus dem elektronischen Bauteil (1) in einem vorgegebenen Rastermaß (r) herausragen.
5. Elektronisches Bauteil nach einem der Ansprüche 2 bis 4, dadurch gekennzeichnet, dass der erste und der zweite Halbleiterchip (2, 3) über Bonddrähte (18) mit Kontaktanschlußflächen (14) des ersten Umverdrahtungsleitungsmusters (10) elektrisch verbunden sind.
6. Elektronisches Bauteil nach einem der Ansprüche 2 bis 4, dadurch gekennzeichnet, dass der erste Halbleiterchip (2) über Flip-Chip Kontakte (19) und der zweite Halbleiterchip (3) über Bonddrähte (18) mit Kontaktanschlußflächen (14) des ersten Umverdrahtungsleitungsmusters (10) elektrisch verbunden sind.
7. Elektronisches Bauteil nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass der zweite Halbleiterchip (3) außerhalb der Aussparung (5) für den ersten Halbleiterchip (2) Stützbereiche (20) aufweist, die auf der aktiven Oberseite (21) des zweiten Halbleiterchips (3) Kontaktflächen (15) aufweisen.
8. Elektronisches Bauteil nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass der zweite Halbleiterchip (3) zusätzlich zu der Aussparung (5) für den ersten Halbleiterchip (2) auf seiner passiven Rückseite Aussparungen (22) aufweist, in denen elektrische Verbindungsdrähte des ersten Halbleiterchips (2) angeordnet sind, die über den Bereich des zweiten Halbleiterchips (3) hinausragen.

9. Elektronisches Bauteil nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass der zweite Halbleiterchip (3) zusätzliche Aussparungen (23) auf seiner passiven Rückseite (4) aufweist, die eine räumliche Verbindung des den zweiten Halbleiterchip (3) umgebenden Raum mit der Aussparung (5) für den ersten Halbleiterchip (2) aufweisen.
10. Elektronisches Bauteil nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass die Aussparung (2) des zweiten Halbleiterchips (3) eine Abschirmbeschichtung (24) aufweist, welche die gesamte Innenfläche (25) der Aussparung (5) bedeckt.
11. Elektronisches Bauteil nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass der erste Halbleiterchip (2) in Flip-Chip Technik montiert ist und auf seiner passiven Rückseite (26) eine Abschirmschicht (24) aufweist.
12. Verfahren zur Herstellung eines elektronischen Bauteils mit einem ersten Halbleiterchip (2) und mindestens einem zweiten Halbleiterchip (3) der eine Aussparung (5) aufweist, in welcher der erste Halbleiterchip (2) angeordnet ist, wobei das Verfahren folgende Verfahrensschritte aufweist:
 - Bereitstellen eines dünngeschliffenen ersten Halbleiterwafers von der Dicke (d) mit integrierten Schaltungen in seinem aktiven Oberseitenbereich, und Trennen des dünngeschliffenen Halbleiterwafers in erste Halbleiterchips (2),
 - Bereitstellen eines zweiten Halbleiterwafers mit integrierten Schaltungen in seinem aktiven Oberseitenbereich, der eine mehr als doppelte Dicke (D) und größere Außenabmessungen als der erste Halbleiterwafer (2) aufweist,
 - strukturiertes Dünnätzen des zweiten Halbleiterwafers (3) von seiner passiven Rückseite (4) aus zu in Zeilen und Spalten angeordneten Aussparungen (5) für die Aufnahme von den ersten Halbleiterchips (2),
 - Trennen des zweiten Halbleiterwafers in zweite Halbleiterchips (3) mit Aussparungen (5) zur Aufnahme der ersten Halbleiterchips (2) in den Aussparungen (5),
 - Anordnen eines der ersten Halbleiterchips (2) auf einem Schaltungssubstrat (6) unter Verbinden der Kontaktflächen (15) des ersten Halbleiterchips (2) mit Kontaktanschlußflächen (14) eines ersten Umverdrahtungsleitungsmusters (10) des Schaltungssubstrats (6),
 - Anordnen eines der zweiten Halbleiterchips (3) auf dem Schaltungssubstrat (6) durch Überstülpen des zweiten Halbleiterchips (2) über den ersten Halbleiterchip (2) unter Verbinden der Kontaktflächen (15) des zweiten Halbleiterchips (3) mit Kontaktanschlußflächen (14) des ersten Umverdrahtungsleitungsmusters (10) des Schaltungssubstrats (6),
 - Verpacken der Halbleiterchips (2) auf dem Schaltungssubstrat (6) zu einem elektronischen Bauteil (1) in einer Kunststoffgehäusemasse (27) unter Freilassung von Außenkontaktflächen (16) eines zweiten Umverdrahtungsleitungsmusters (11) des Schaltungssubstrats (6), das über Durchgangskontakte (8) mit dem ersten Umverdrahtungsleitungsmuster (10) elektrisch verbunden ist.
13. Verfahren zur Herstellung eines elektronischen Bauteils mit einem ersten Halbleiterchip (2) und mindestens einem zweiten Halbleiterchip (3) der eine Aussparung (5) aufweist, in welcher der erste Halbleiter-

chip (2) angeordnet ist, wobei das Verfahren folgende Verfahrensschritte aufweist:

- Bereitstellen eines dünngeschliffenen ersten Halbleiterwafers mit Flip-Chip-Kontakten für jeden Halbleiterchip von der Dicke (d) mit integrierten Schaltungen in seinem aktiven Oberseitenbereich, und Trennen des dünngeschliffenen Halbleiterwafers in erste Halbleiterchips (2),
 - Bereitstellen eines zweiten Halbleiterwafers mit integrierten Schaltungen in seinem aktiven Oberseitenbereich, der eine mehr als doppelte Dicke (D) und größere Außenabmessungen als der erste Halbleiterwafer (2) aufweist,
 - strukturiertes Dünnsätzen des zweiten Halbleiterwafers (3) von seiner passiven Rückseite (4) aus zu in Zeilen und Spalten angeordneten Aussparungen (5) für die Aufnahme von den ersten Halbleiterchips (2),
 - Einbetten des ersten Halbleiterchips (2) mit Flip-Chip-Kontakten (19) in den Aussparungen (5) des zweiten Halbleiterchips (3) unter Herausragen der Flip-Chip-Kontakte (5) auf der Rückseite (4) des zweiten Halbleiterchips (3),
 - Trennen des zweiten Halbleiterwafers (3) mit eingebetteten Halbleiterchips (2) in einzelne Halbleiterchipkombinationen die auf einer Schaltungsplatte angeordnet werden,
 - Anordnen der Halbleiterchipkombination auf einem Schaltungssubstrat unter Verbinden der Flip-Chip-Kontakte des ersten Halbleiterchips (2) und der Kontaktfläche des zweiten Halbleiterchips (3) mit einem ersten Umverdrahtungsleistungsmuster eines Schaltungssubstrates,
 - Verpacken der Halbleiterchips (2) auf dem Schaltungssubstrat (6) zu einem elektronischen Bauteil (1) in einer Kunststoffgehäusemasse (27) unter Freilassung von Außenkontaktflächen (16) eines zweiten Umverdrahtungsleistungsmusters (11) des Schaltungssubstrats (6), das über Durchgangskontakte (8) mit dem ersten Umverdrahtungsleistungsmuster (10) elektrisch verbunden ist.
14. Verfahren nach Anspruch 12, dadurch gekennzeichnet, dass die Kontaktflächen (15) des ersten Halbleiterchips (2) und des zweiten Halbleiterchips (3) mittels Bondtechnik mit den Kontaktanschlussflächen (14) des ersten Umverdrahtungsleistungsmusters (10) über Bonddrähte (18) verbunden werden.
15. Verfahren nach einem der Ansprüche 12 bis 14, dadurch gekennzeichnet, dass zusätzliche Aussparungen (22) auf der Rückseite (4) des zweiten Halbleiterwafers (3) eingebracht werden, die derart angeordnet werden, dass sie Bondverbindungen (28) des ersten Halbleiterchips (2) aufnehmen können.
16. Verfahren nach einem der Ansprüche 12 bis 15, dadurch gekennzeichnet, dass zusätzliche Aussparungen (22) auf der Rückseite (4) des zweiten Halbleiterwafers (3) eingebracht werden, die derart angeordnet werden, dass sie eine räumliche Verbindung der Aussparung (5) für einen ersten Halbleiterchip (2) mit der Umgebung des zweiten Halbleiterchips (3) ermöglichen.
17. Verfahren nach einem der Ansprüche 12 bis 16, dadurch gekennzeichnet, dass auf die passiven Rückseite (4) des zweiten Halbleiterwafers (3) nach dem Einbringen der Aussparungen (5, 22, 23) eine Abschirmbeschichtung (24) aufgebracht wird.
18. Verfahren nach einem der Ansprüche 12 bis 17, dadurch gekennzeichnet, dass auf die passive Rück-

seite (26) des ersten Halbleiterwafers (2) vor dem Trennen des ersten Halbleiterwafers in einzelne erste Halbleiterchips (2) eine Abschirmungsbeschichtung (24) aufgebracht wird.

19. Verfahren nach einem der Ansprüche 12 bis 18, dadurch gekennzeichnet, dass das Einbringen von Aussparungen (5, 22, 23) auf der Rückseite (5) des zweiten Halbleiterwafers (3) nasschemisch erfolgt.

20. Verfahren nach einem der Ansprüche 12 bis 19, dadurch gekennzeichnet, dass das Einbringen von Aussparungen (5, 22, 23) auf der Rückseite (4) des zweiten Halbleiterwafers (3) nach Abdecken nicht zuzätzender Bereiche durch Naßätzen mittels einer Mischung aus Flußsäure und Schwefelsäure erfolgt.

21. Verfahren nach einem der Ansprüche 12 bis 18, dadurch gekennzeichnet, dass das Einbringen von Aussparungen (5, 22, 23) auf der Rückseite (4) des zweiten Halbleiterwafers (3) nach Abdecken nicht zu ätzender Bereiche durch einen Trockenätzvorgang erfolgt.

22. Verfahren nach einem der Ansprüche 12 bis 18, dadurch gekennzeichnet, dass das Einbringen von Aussparungen (5, 22, 23) auf der Rückseite (4) des zweiten Halbleiterwafers (3) nach Abdecken nicht zu ätzender Bereiche durch ein reaktives Plasmaätzen erfolgt.

Hierzu 8 Seite(n) Zeichnungen

FIG 1

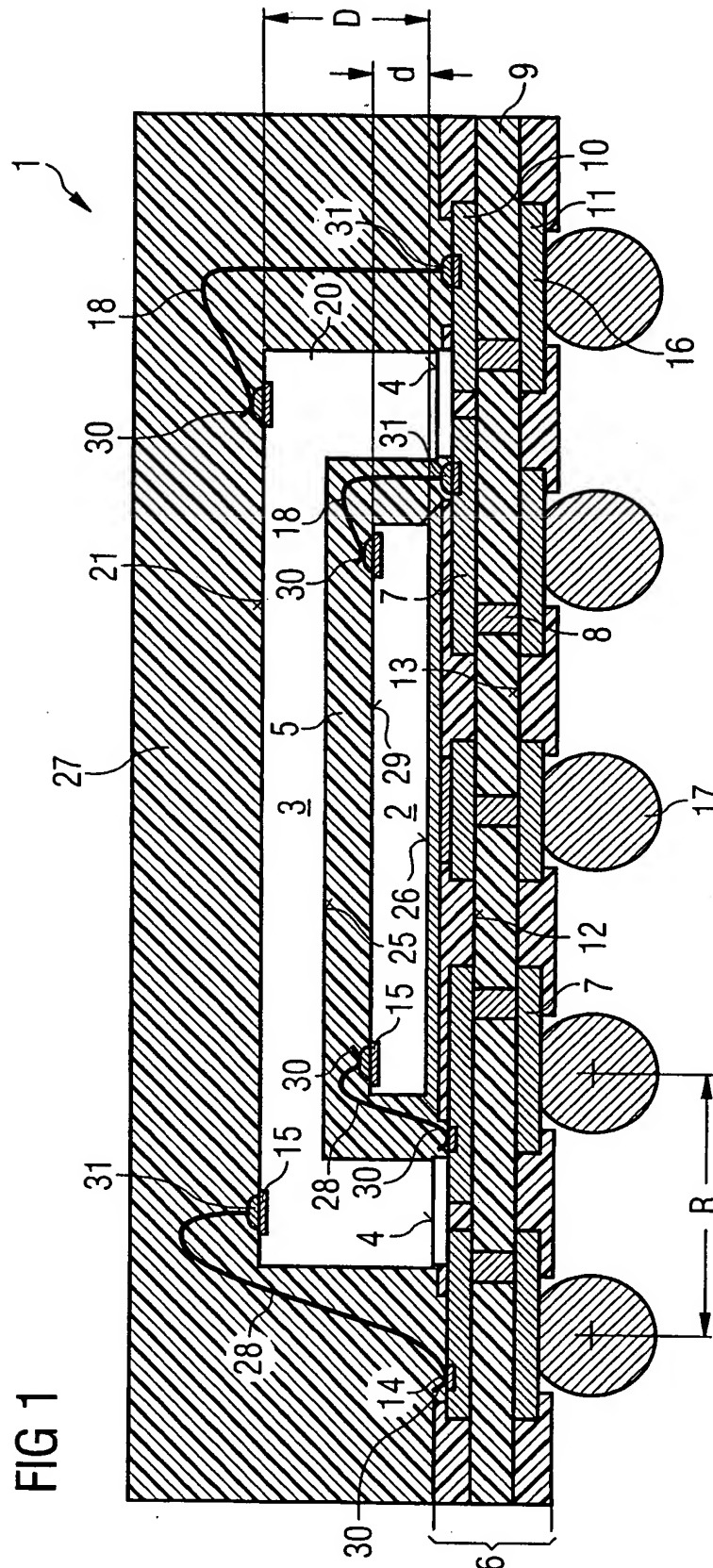


FIG 2

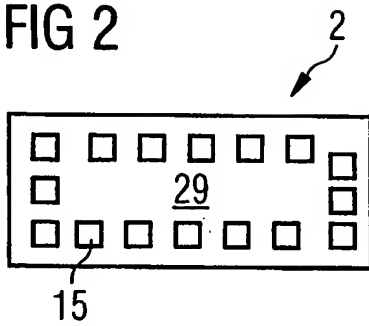


FIG 5

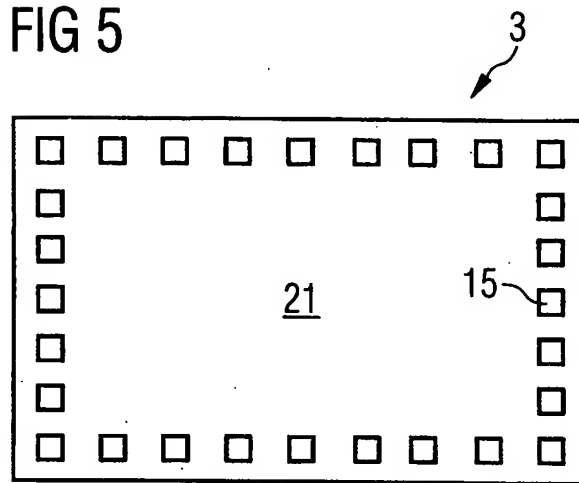


FIG 3

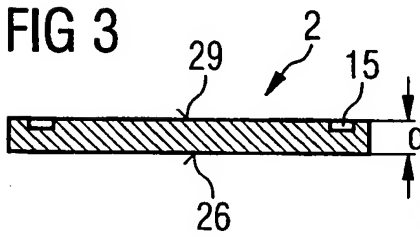


FIG 6

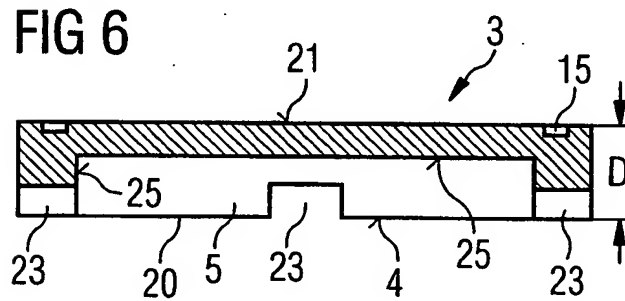


FIG 4

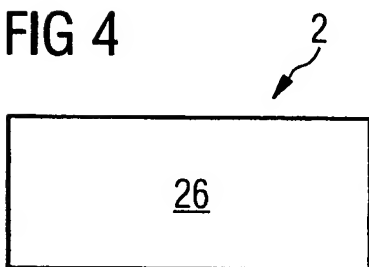


FIG 7

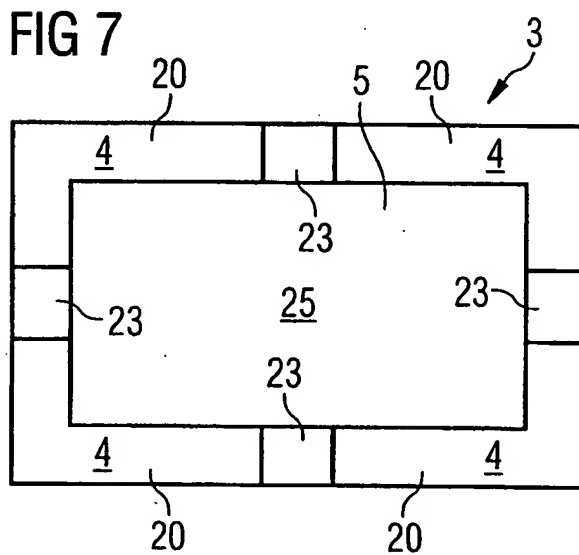
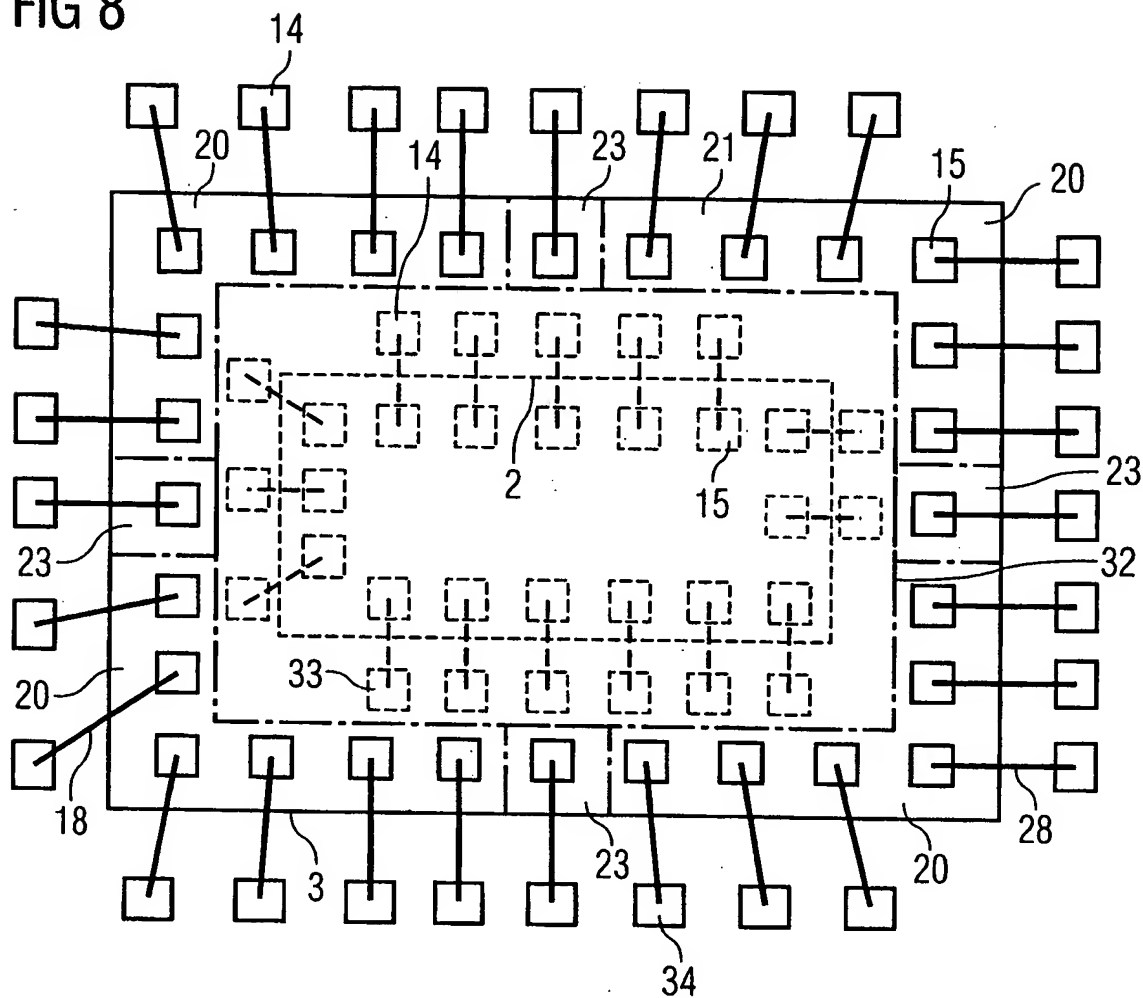


FIG 8



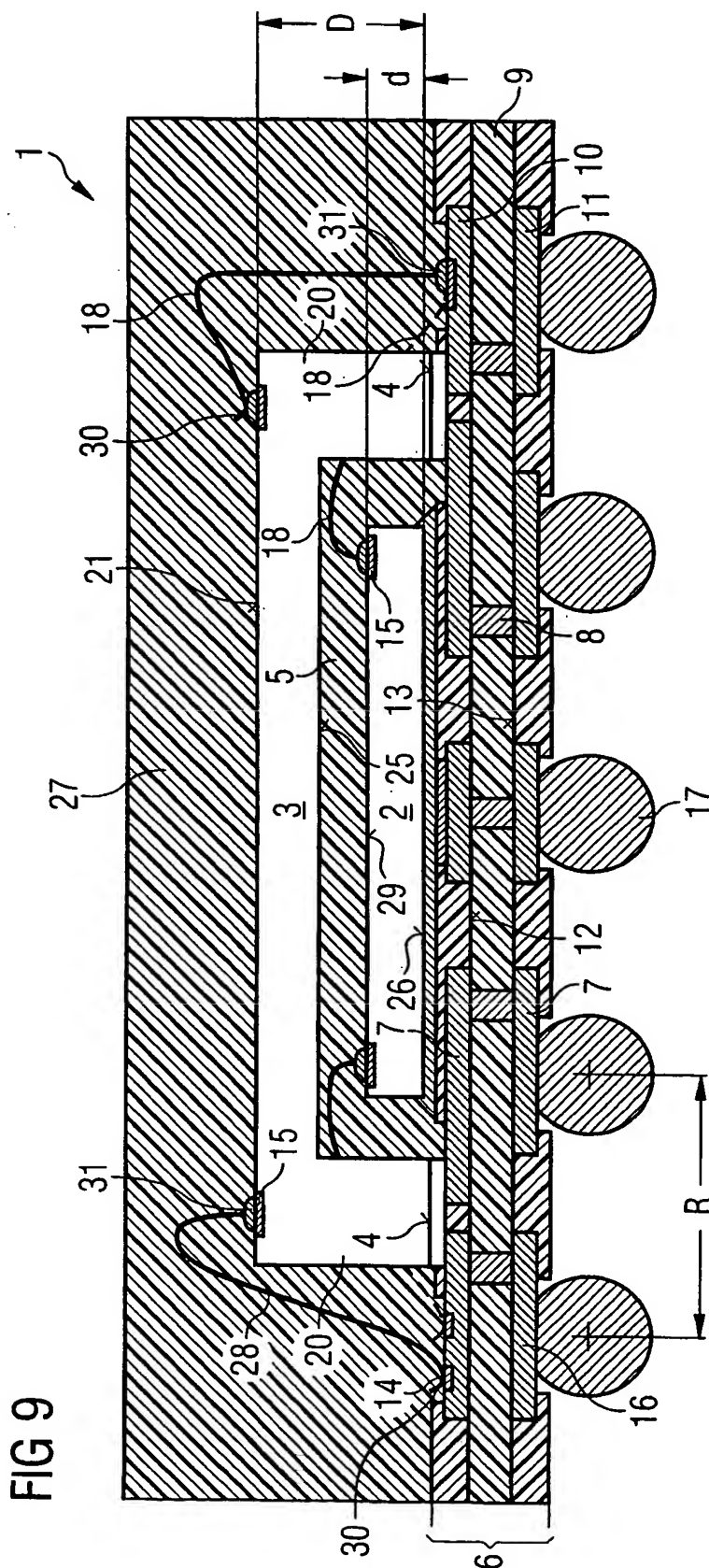


FIG 10

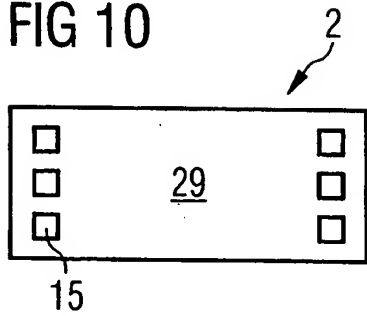


FIG 13

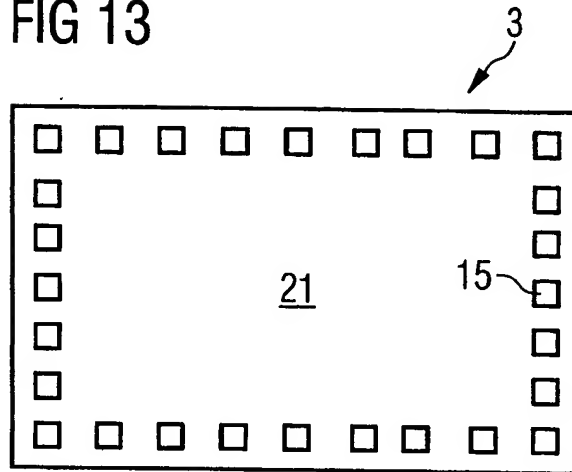


FIG 11

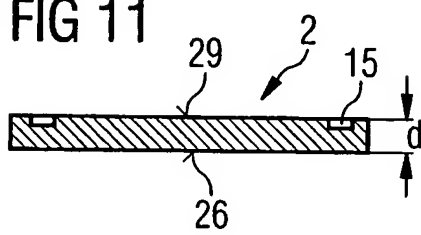


FIG 14

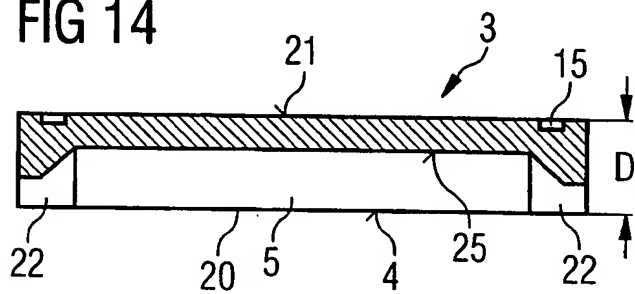


FIG 12

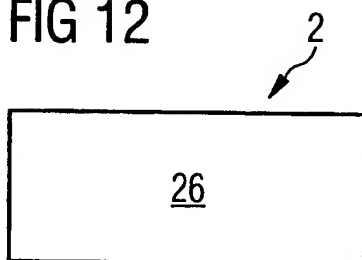
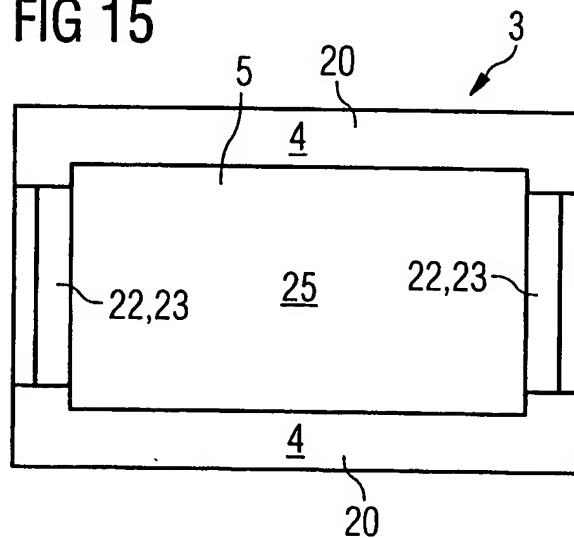


FIG 15



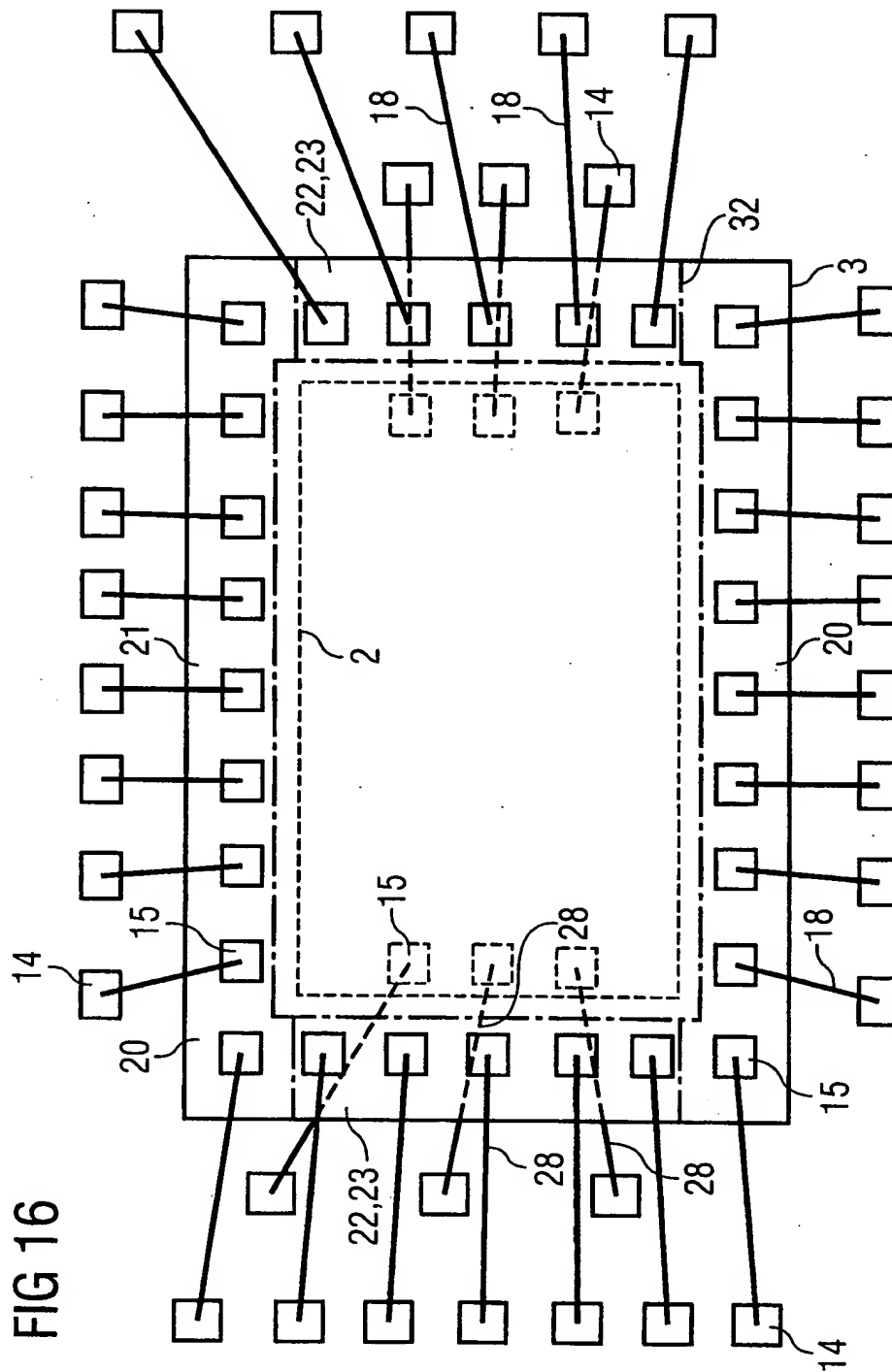


FIG 17

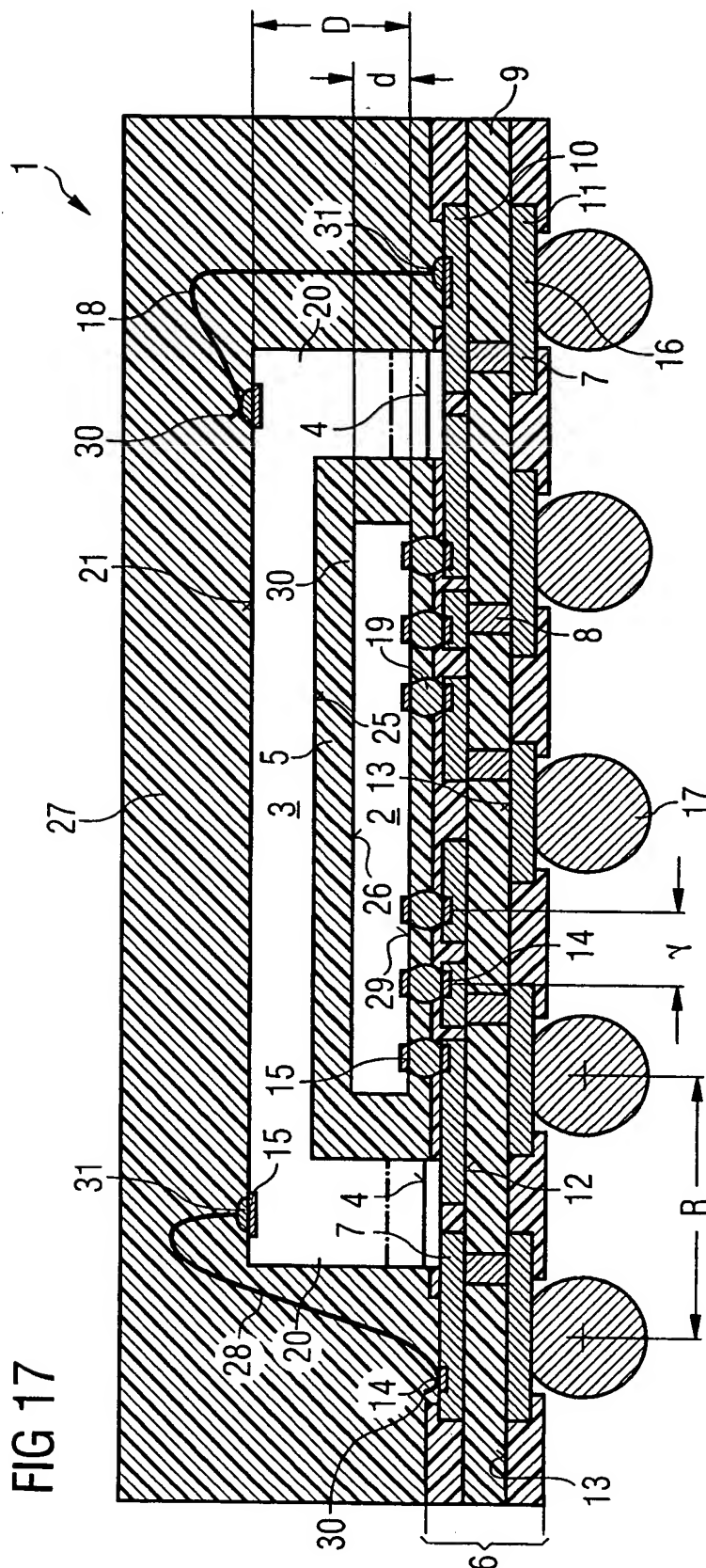


FIG 18

